

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-010729

(43)Date of publication of application : 19.01.1987

(51)Int.Cl.

G06F 5/06

(21)Application number : 60-151984

(71)Applicant : MITSUBISHI ELECTRIC CORP
SHARP CORP
MATSUSHITA ELECTRIC IND CO LTD
SANYO ELECTRIC CO LTD

(22)Date of filing : 09.07.1985

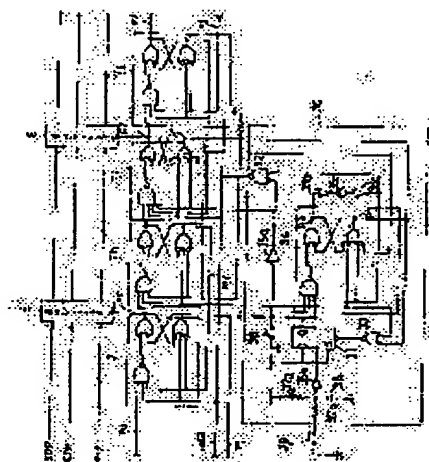
(72)Inventor : TERADA HIRONORI
ASADA KATSUHIKO
NISHIKAWA HIROAKI
SHIMA KENJI
KOMORI NOBUFUMI
MIYATA SOICHI
MATSUMOTO SATOSHI
ASANO HAJIME
SHIMIZU MASAHAISA
MIURA HIROKI

(54) DATA TRANSMISSION EQUIPMENT

(57)Abstract:

PURPOSE: To obtain the data transmission equipment which can propagate the data slowly and little by little by providing an indicating means to instruct the transfer timing of the data and a transfer timing control means to control the output timing of at least one C element in accordance with the instruction.

CONSTITUTION: When a toggle switch 36 is turned from ON to OFF, the output of an inverter 35a comes to 0, and the data arrive at a C element 7h and stop once. At such a time, a momentary switch 39 is normally OFF, when this is pushed, the clock input of a D type flip flop 31 comes to 1, a Q output comes to 1, the P2 output of a C element 34 comes to 1 and a P1 output comes to 0. Further, since the output of an inverter 35d comes to 0, again, the P2 output of the C element 34 comes to 0 and the P1 output which is an inverting output comes to 1. Since the P1 output of the C element 34 comes to 0 once and comes to 1, a C element 7i returns the P1 output, sends the P2 output to the C element 7j and transmits the data of one word to the next stage. Thus, at the time of the necessity, the data can be slowly propagated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-10729

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)1月19日

G 06 F 5/06

7230-5B

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 データ伝送装置

⑯ 特 願 昭60-151984

⑰ 出 願 昭60(1985)7月9日

⑱ 発 明 者	寺 田	浩 詔	吹田市山田西3丁目52番地 千里一条池B-803
⑱ 発 明 者	浅 田	勝 彦	尼崎市東難波町4丁目11番4号
⑱ 発 明 者	西 川	博 昭	吹田市江坂町1-12番55-1002号
⑱ 発 明 者	嶋	憲 司	尼崎市塚口本町8丁目1番1号 三菱電機株式会社応用機器研究所内
⑲ 出 願 人	三菱電機株式会社		東京都千代田区丸の内2丁目2番3号
⑲ 出 願 人	シャープ株式会社		大阪市阿倍野区長池町22番22号
⑲ 出 願 人	松下電器産業株式会社		門真市大字門真1006番地
⑲ 出 願 人	三洋電機株式会社		守口市京阪本通2丁目18番地
⑲ 代 理 人	弁理士 早瀬 憲一		

最終頁に続く

明 細 書

1. 発明の名称

データ伝送装置

2. 特許請求の範囲

(1) 複数のデータ記憶手段及び隣接段の転送制御回路からの制御信号に応じて自段のデータ記憶手段を制御する各段の転送制御回路からなるシフトレジスタを用いて構成されたデータ伝送路を備え、該データ伝送路によりシステム間のデータ伝送を行なうデータ伝送装置であつて、データの転送タイミングを指示するための指示手段と、該指示手段の出力に応じて少なくとも1つの上記転送制御回路の制御信号の出力タイミングを制御する転送タイミング制御手段とを備えたことを特徴とするデータ伝送装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、主として非同期動作するシステム間でデータ伝送を行なうデータ伝送装置に関するものである。

〔従来の技術〕

従来、非同期システム間でデータ伝送を行なう方法としては、FIFO(ファーストイン・ファーストアウト)メモリをシステム間のバッファとして用いる方法が一般的であつたが(インタフェース1984年8月号第268頁~第270頁参照)、FIFOメモリは単にデータのバッファ機能を有するだけであるので、このようなFIFOメモリを非同期システム間のデータ伝送に用いるようにすると複数の非同期システムを直列的にしか接続することができず、そのためFIFOメモリによつて接続された全体システムは単純なカスケード接続によるパイプライン処理機構を構築するにすぎず、その自由度が極めて低いという問題があつた。

これに対し、本件出願人は、非同期システム間を接続して全体システムを構築する際に大きな自由度を与えることのできるデータ伝送装置を開発し、出願している(特願昭60-33035号、特願昭60-33036号参照)。以下、このデータ伝送装置について説明する。

第2図は上記データ伝送装置のシステムを示す図であり、図において、5はデータ伝送路、2a~2cは分枝部、3a~3cは合流部、1a~1cは処理要素、4はインタフェースである。

このような装置において、外部系からインタフェース4を介して送入するパケットデータはネットワーク要素3a及び2a~2cの間を巡回しながら処理要素1a~1cのいずれかに到達し、該各処理要素1a~1cで分散処理された後、ネットワーク要素3b及び3cによつて処理結果が収集され、インタフェース4を介して再び外部系へ送出される。

また第3図及び第4図はデータ伝送路5に用いられる非同期自走式シフトレジスタの一例を示す。第3図において、6は並列データラッチ、7は3入力NAND8、8入力NAND9、10によつて構成され、並列データラッチ6に立上りエッジトリガを与える転送制御回路（以下0素子と記す）である。非同期自走式シフトレジスタとは、入力されたデータを次段のレジスタが空いていることを条件としてシフトクロックを用いずに自動的に出力

方向にシフトしていくようなレジスタをいい、データのバッファ機能を有するものである。そしてこの非同期自走式シフトレジスタは並列データラッチ6と0素子7とから構成され、0素子7はP0、P3の2つの入力を受け、P1、P2の2つの出力を出すものであり、0素子7の内部状態はこの4つの信号P0~P3の状態によつて決定され、下表に示すようにS₀~S₈の9つの状態をとる。なお以下の説明では、論理値の0、1は各々信号値のローレベル、ハイレベルに相当するものとする。

表 1

S _n = (P0 , P1 , P2 , P3)
S ₀ = (0 , 1 , 0 , 1)
S ₁ = (1 , 1 , 0 , 1)
S ₂ = (1 , 0 , 0 , 1)
S ₃ = (1 , 0 , 1 , 1)
S ₄ = (0 , 0 , 1 , 1)
S ₅ = (0 , 1 , 1 , 1)
S ₆ = (0 , 1 , 1 , 0)
S ₇ = (0 , 1 , 0 , 0)
S ₈ = (1 , 1 , 0 , 0)

次に0素子7の上述の9状態S₀~S₈の遷移図を第5図に示す。図において、→は条件付きの状態遷移、→は無条件の状態遷移、P1↑、P1↓等は各々信号値の0から1、1から0への変化を示す。第5図に示したサイクルAを回るか、サイクルBを回るかはシフトレジスタの次段が受け入れ可能になる時刻と、前段が出力可能になる時刻の早遅によるものであり、いずれにせよサイクルA又はサイクルBを回ることによつて前段のデータを次段に伝播させることが可能である。

このような非同期自走式シフトレジスタを第3図に示すように多段に接続することによつて0素子7が第5図に示す状態遷移を行なつて並列データラッチ6間でデータの自律的な伝播が行なわれる。

また第6図及び第7図は第2図に示した分枝部及び合流部の1構成例を示す。ここでこの例では、データは複数のワードからなるパケットの形態をとっており、かつ、各ワードはデータ値とは別に先頭ワードであることを示すためのBOPと、末尾

ワードであることを示すためのEOPの8ビットの制御ビットを持ち、また、先頭ワードは分枝条件となる先行情報を有するものとする。

まず、第6図に示した分枝部について説明する。パケットの先頭が入力データ伝送路5aに入力され、0素子7aの段まで進すると、該0素子7aのP2出力は0から1に変化し、前段の並列データラッチ6aに記憶されている先頭ワードのデータ値が並列データラッチ6bに記憶される。このときノードA（BOPビット）は、0から1に変化するので、D型フリップフロップ11に並列データラッチ6bと同様にパケットの先頭ワードのデータ値がラッチされる。このラッチされた先頭ワードは、排他的論理和回路12で比較データレジスタ13の値と比較され、NANDゲート回路14でマスクデータレジスタ15の値と比較されて比較不要ビットがマスクされて、比較結果、即ち分枝の判定がD型フリップフロップ16に対して出力される。この間、パケットは入力データ伝送路5a上を伝搬し、その先頭ワードが0素子7bの段まで進するとノードB

(EOPビット)が0から1に変化し、これにより、上記D型フリップフロップ16に分岐判定結果がラッチされ、この結果がD型ラッチ17に対して出力される。

一方、D型ラッチ17には、上記パケットに先行するパケットの通過後にノード0(EOPビット)とノードD(0素子70のP2出力)が0.1になつた時点でD型フリップフロップ16からの入力が入力ラッチされ、これにより4入力NANDゲート18a~18dの入力が制御される。即ち、分岐条件が0のときは、分岐させないためにNANDゲート18c, 18dに対して0を出力し、NANDゲート18a, 18bに対しては1を出力して、パケットが出力データ伝送路5bに伝搬されるように制御する。逆に分岐条件が1のときは、逆の制御が行われ、パケットは分岐データ伝送路5cに伝搬される。このとき、前述のように、パケットがどちらに伝搬しても0素子70のP3入力に回答が返るようになるために、NANDゲート18a, 18cと同様の動作を行なうオープンコレクタNANDゲート18b, 18dが設けられて

あり、これらの出力は負論理ワイヤードORされて0素子70のP3入力に送られる。

次に、第7図に示した合流部について説明する。この場合、入力データ伝送路5dと出力データ伝送路5eとからなる本線に、合流データ伝送路5f上のデータが合流される訳であるが、データの流れるは、本線上の流れが優先され、本線上に空きバッファが存在するときのみ合流が許される。即ち、本線上にデータが存在しないときには、オープンコレクタインバータ19の出力の負論理ワイヤードOR出力が1となるので、合流データ伝送路5fにデータが到着してノードAが1となると、2入力ANDゲート20の2入力がともに1となつてその出力が1となり、SRフリップフロップ21aがセットされ、逆にSRフリップフロップ21bがリセットされる。これによつて、合流データ伝送路5fに対しては、SRフリップフロップ21aから4入力NANDゲート22aへの入力が1となり、0素子7dが他の0素子と同様の動作を行なうようになる。またこれと同時に並列データラッチ6dが出力可

能になるので、合流データ伝送路5f上のデータが本線に合流する。一方、入力データ伝送路5dに対しては、SRフリップフロップ21bから4入力NANDゲート22bへの入力が0となり、このため0素子70は前段のデータを伝搬しない。なお、このとき並列データラッチ6eの出力がハイインピダンス状態になるため、合流動作中に入力データ伝送路5dにデータが到着したとしても合流を妨げることはない。

一方、1パケットのデータの合流が完了すると、再び本線上のデータが流れるように制御される。即ち、0素子7fがパケットの末尾ワードを送出するとノードB(EOPビット)が0になり、さらに、0素子7dがこれを受取るとノードCが0になる。従つてノードB, Cの信号を入力とする2入力NORゲート23aの出力が1になり、SRフリップフロップ21aがリセットされ、次のパケットの伝搬が0素子7fと7dとの間で起こらないようになる。また、合流したパケットの末尾ワードが出力データ伝送路5eの初段に受取られたとき、即ち

ノードD(EOPビット)とノードEがともに0になつたとき、2入力NORゲート23bの入力信号がともに0となるため、SRフリップフロップ21bがセットされて0素子70は前段のデータを伝搬するようになり、本線上をデータが流れ得るようになる。

以上のようにしてパケットが伝搬されるとき、0素子7dから0素子70のP3入力に回答が返るようオープンコレクタNANDゲート24a, 24bが設けられ、該素子の出力は負論理ワイヤードORされて0素子70のP3入力に送られる。

〔発明が解決しようとする問題点〕

ところで上述のデータ伝送装置はこれを用いて演算処理装置を構成することが可能であり、この演算処理装置においては一般に各種機能部品の様々な状態を観察したい場合があり、その方法としてはデータ伝送路に流れるデータから観察することが考えられる。

しかるに上述のデータ伝送装置では、データ伝送路が自走式シフトレジスタを用いて構成されて

かり、データは通常 25nsec ~ 50nsec と非常に早く伝播されるので、データから各種機能部品を観察することはできないものである。

この発明はかかる問題点に鑑みてなされたもので、必要な時にはデータをゆつくり少しずつ伝播させることのできるデータ伝送装置を提供することを目的としている。

〔問題点を解決するための手段〕

この発明は、データラッチと 0 素子とからなる自走式シフトレジスタを用いてデータ伝送路を構成してなるデータ伝送装置において、データの転送タイミングを指示するための指示手段と、該指示に応じて少なくとも 1 つの 0 素子の制御信号の出力タイミングを制御する転送タイミング制御手段とを設けたものである。

〔作用〕

この発明においては、転送タイミング制御手段が作動すると、該転送タイミング制御手段は 0 素子の制御信号の出力を停止し、指示手段から指示が与えられると転送タイミング制御手段は 0 素子

メンタリスイッチ 39 はノーマリオフであるが、これを押え、D 型フリップフロップ 31 のクロック入力が 1 になつて D 型フリップフロップ 31 の Q 出力は 1 となる。これにより 0 素子 34 の P2 出力は 1、その反転出力である P1 出力は 0 となる。さらにインバータ 35b、35c を経てインバータ 35d の出力は 0 となるので、再び 0 素子 34 の P2 出力は 0、反転出力である P1 出力は 1 となる。この 0 素子 34 の P1 出力が一旦 0 となつて 1 となることにより、0 素子 71 の P2 出力が 1 となつて 0 となり、該 0 素子 71 は前段の 0 素子 7h に受取つたことの P1 出力を返し、次段の 0 素子 7j に P2 出力を送つて 1 ワードのデータを次段に伝送し、こうしてメンタリスイッチ 39 を操作することによつてデータが 1 ワードずつ伝送されることとなる。

以上のような本実施例の装置では、転送タイミング制御回路によつて 0 素子の P2、P1 の出力タイミングを制御するようにしたので、データを 1 ワードずつ区切つて伝搬させることができ、その結果本装置を用いて演算処理装置を構成した場合に

から制御信号を出力させるものである。

〔実施例〕

以下、本発明の実施例を図について説明する。

第 1 図は本発明の一実施例によるデータ伝送装置を示す。図において、30 は転送タイミング制御手段で、これは D 型フリップフロップ 31、負論理 AND ゲート 32、負論理 OR ゲート 33、0 素子 34、インバータ 35a ~ 35e、トグルスイッチ 36、抵抗 37a、37b 及び容量 38 によつて構成されている。39 はデータの転送タイミングを指示するためのメンタリスイッチである。なお本実施例では 0 素子 7 はこれを 2 段に構成してあり、又 0 素子 7i、34 についてはオープンコレクタタイプの 4 入力 NAND ゲートを用いて構成されている。

次に動作について説明する。

トグルスイッチ 36 が ON の時には、伝送路は通常の動作を行なう。そしてトグルスイッチ 36 を OFF にすると、インバータ 35a の出力が 0 になるので、伝送路を伝搬されてきたデータは 0 素子 7h まで到達し、そこで一旦停止される。このときそ

は各種機能部品の様々な状態を少しずつ区切つて観察することが可能になる。

なお上記実施例では 0 素子を 2 段構成としたが、これは第 3 図に示すような 1 段であつてもよい。

また上記実施例では非同期システム間でデータ伝送を行なう場合について説明したが、本発明は同期システム間でデータ伝送を行なう場合についても同様に適用でき、この場合は 0 素子を同期型制御回路とすればよい。

また上述の非同期自走式シフトレジスタに用いる 0 素子は、第 3 図に示す 0 素子（以下、第 1 形 0 素子と記す）7 と異なる構成のもの、例えば第 8 図(a)に示す第 2 形 0 素子 50、あるいは第 8 図(b)に示す第 3 形 0 素子 51 等であつてもよい。第 8 図(a)において、第 2 形 0 素子 50 は第 1 形 0 素子 7 を 2 段構成したものであり、又第 8 図(b)において、第 3 形 0 素子 51 は 2 入力 NAND ゲート 52a、52b、52c、負論理入力 OR ゲート 53 及びインバータ 54 によつて構成されている。

〔発明の効果〕

以上のように本発明によれば、データラッチと
0素子とからなる自走式シフトレジスタを用いて
データ伝送路を構成してなるデータ伝送装置にか
いて、指示手段からのデータ伝送タイミングの指
示に応じ、伝送タイミング制御手段により少な
くとも1つの0素子の制御信号の出力タイミ
ングを制御するようにしたので、必要な時にはデ
ータをゆつくり伝搬させることができる効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例によるデータ伝送装置の構成図、第2図は本件出願人の開発に係るデータ伝送装置の全体構成図、第3図及び第4図はともに上記装置において用いられている非同期自走式シフトレジスタの1例を示す回路構成図、第5図はこの非同期自走式シフトレジスタの機能の説明するための図、第6図及び第7図は上記装置の具体的な回路構成図、第8図(a)、(b)は本発明で
使用される他の0素子の例を示す図である。

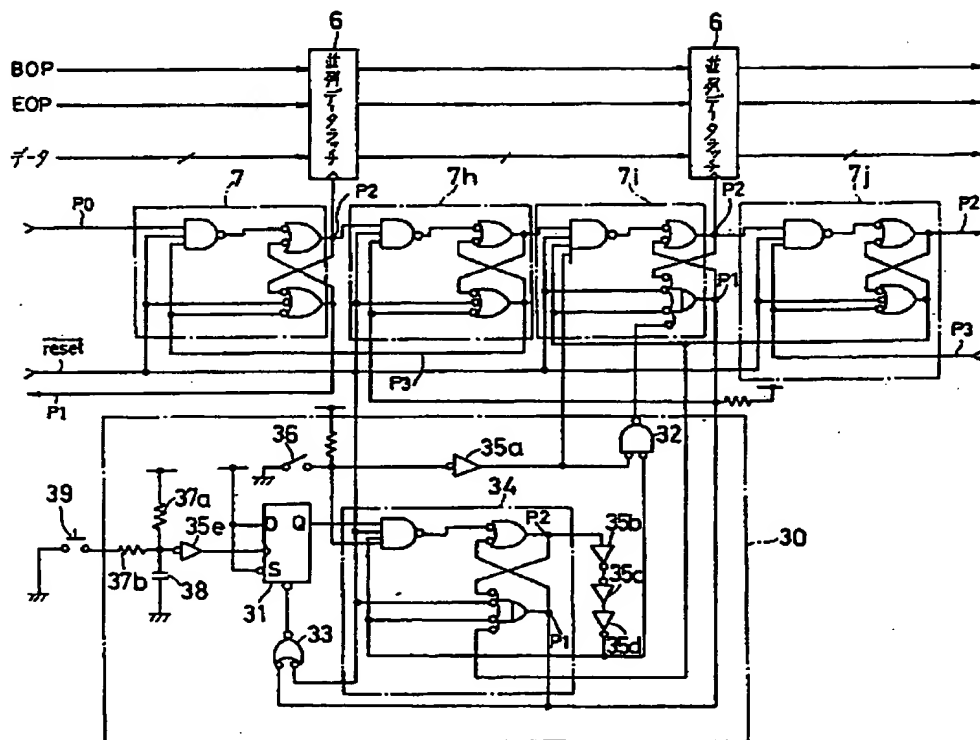
5…データ伝送路、6…並列データラッチ、7
…0素子(伝送制御回路)、30…伝送タイミング

制御回路(伝送タイミング制御手段)、39…モ
メンタリスイッチ(指示手段)。

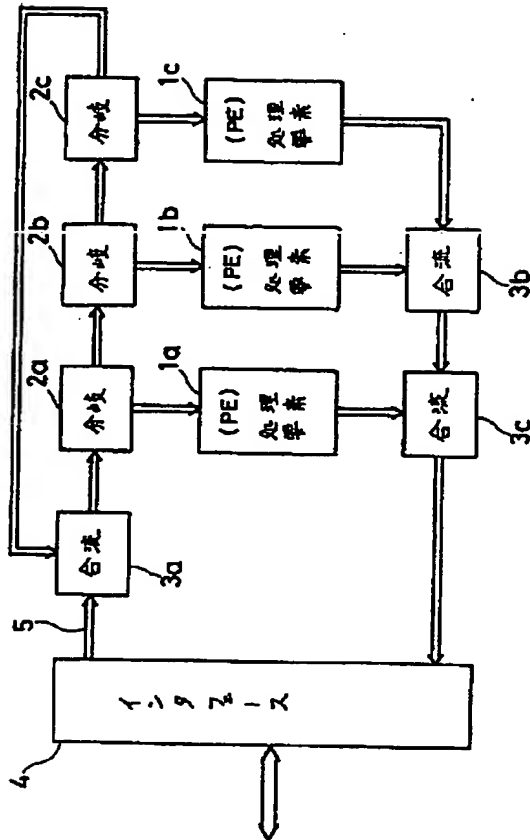
なお図中、同一符号は同一又は相当部分を示す。

代理人 早 瀬 憲 一

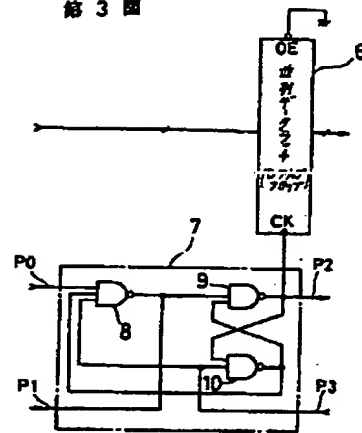
第1図



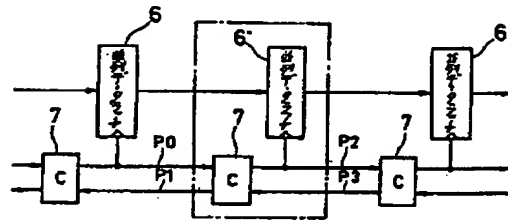
第2図



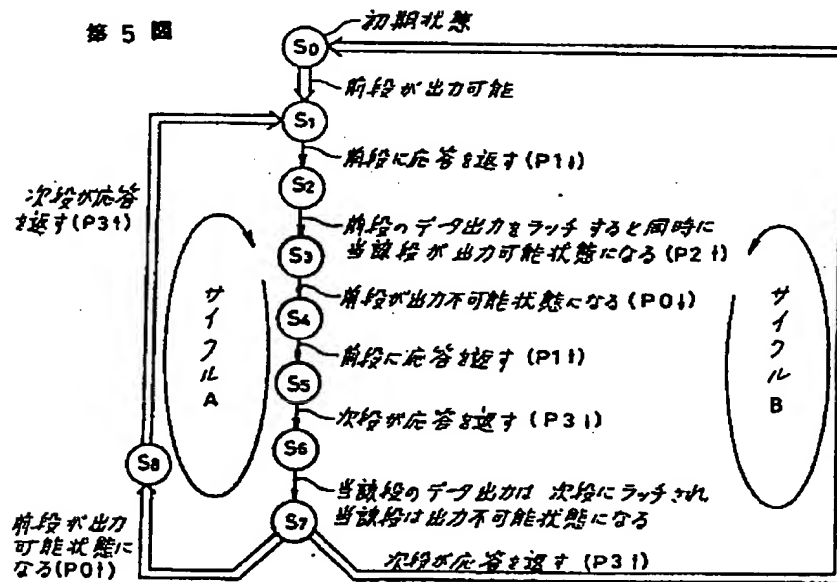
第3図



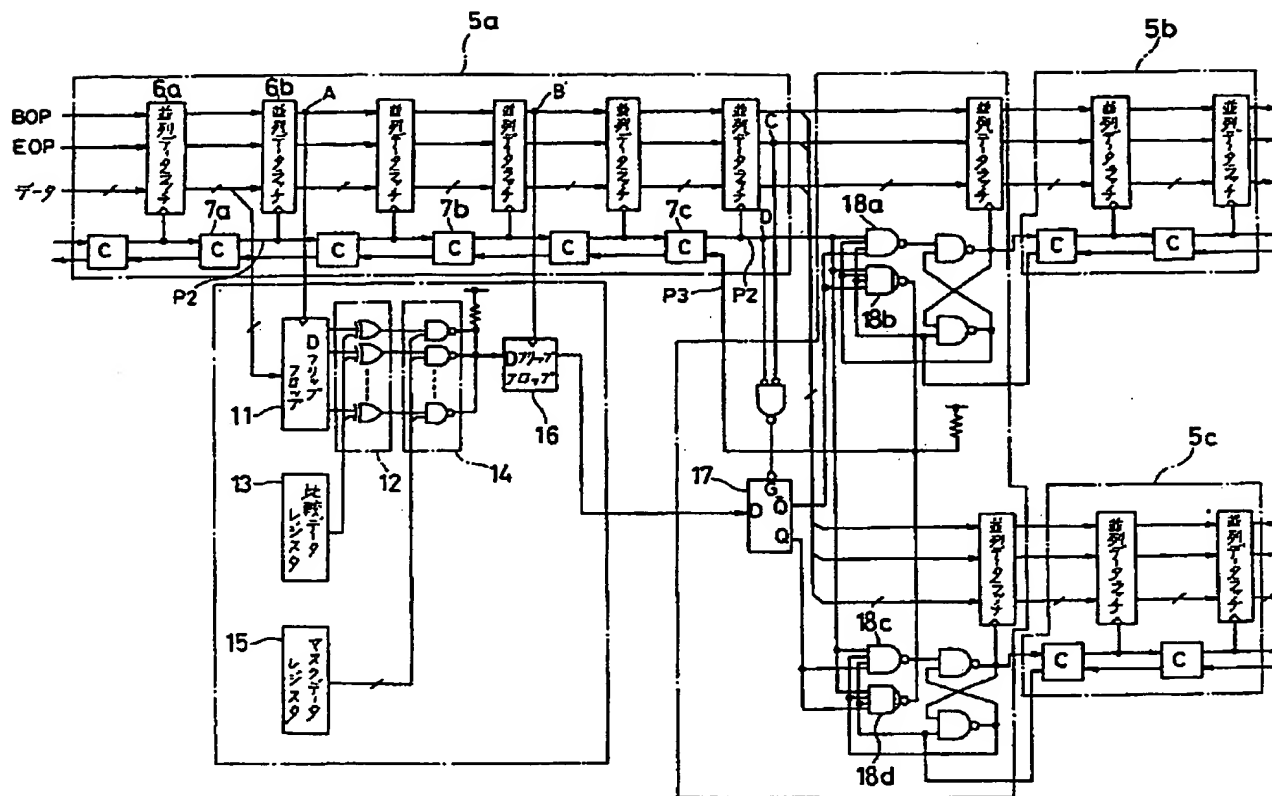
第4図



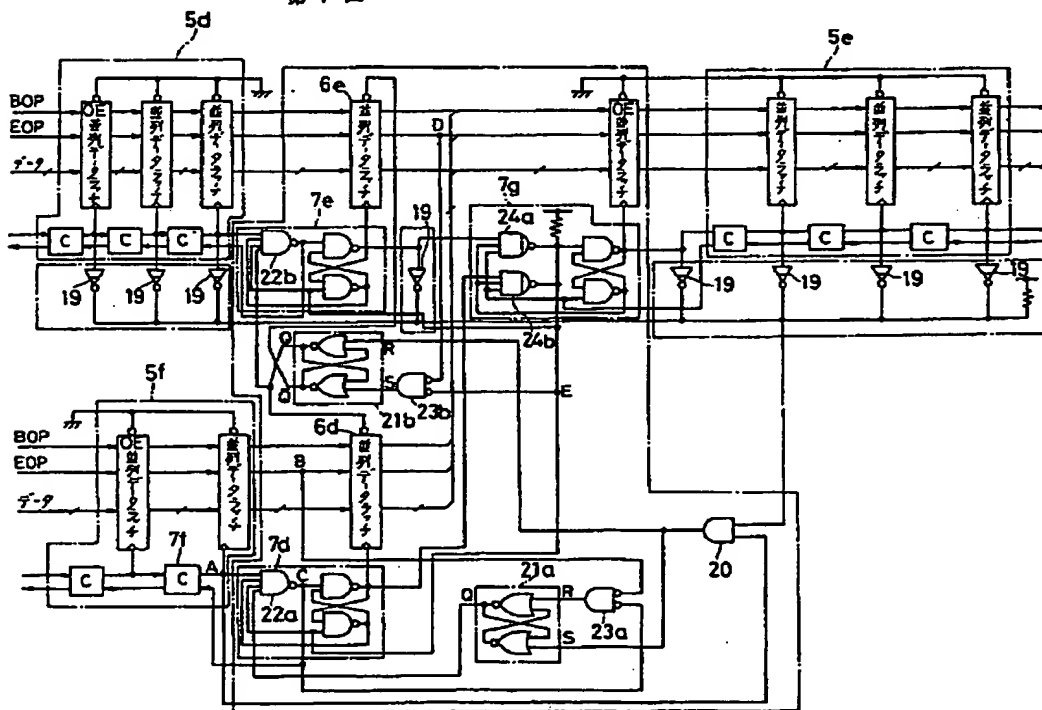
第5図



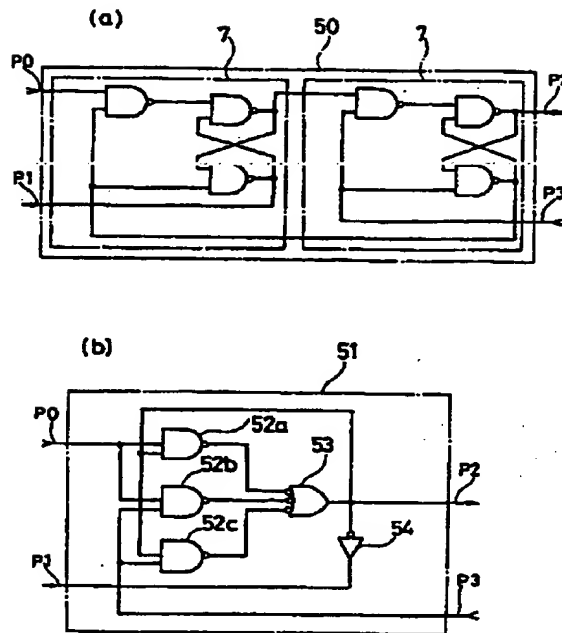
第 6 図



第 7 図



第8図



第1頁の続き

⑦発明者	小 守	伸 史	伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
⑦発明者	宮 田	宗 一	天理市樺本町2613-1 シャープ株式会社超LSI研究所内
⑦発明者	松 本	敏	天理市樺本町2613-1 シャープ株式会社超LSI研究所内
⑦発明者	浅 野	一	守口市八雲中町3丁目15 松下電器産業株式会社システム研究開発センター内
⑦発明者	清水	雅 久	枚方市走谷1-18-13 三洋電機株式会社中央研究所内
⑦発明者	三 浦	宏 喜	枚方市走谷1-18-13 三洋電機株式会社中央研究所内